

Elektrisch-Programmierbares Analoges Array

Jürgen Kampe, Marek Ponca, Uwe Heiber, Andreas Rummler, Christiane Wisser,
Technische Universität Ilmenau, Deutschland

Zusammenfassung

Auf Grund der Anforderung von höherer Performance von integrierten gegenüber aus diskreten Elementen aufgebauten analogen Schaltungen sind neue Ansätze zur Implementierung programmierbarer Bausteine gefragt. FPAAs – *Field Programmable Analog Arrays* beinhalten ähnlich wie FPGAs einfache, meistens skalierbare, analoge Grundelemente, die miteinander verbunden werden können. Eine primäre Gruppe möglicher Anwendungen ist die Signal-Aufbereitung in der Sensorik. Dieser Beitrag behandelt einen neuen Ansatz über Implementierung eines elektrisch programmierbaren analogen Chips. Dank der feinkörnigen Struktur ermöglicht er eine sehr detaillierte Anpassung der elektrischen Eigenschaften und durch zusätzliche Blöcke bietet er sich auch für den universellen Einsatz in *mixed-signal* Systemen an. Messungen an den ersten Test-Chips zeigten eine gute Übereinstimmung mit den Simulationsergebnissen, welche eine zuverlässige Charakterisierung ermöglicht.

1 Einführung

Die Möglichkeit für den schnellen Entwurf komplexer analoger Schaltungen bieten programmierbare analoge Chips. Den Weg zu einer "One-Button" Lösung zeigen FPAAs (Field Programmable Analog Arrays), die durch ihre Parametrisierbarkeit von vorgefertigten Funktionseinheiten an sich ändernde Bedingungen angepasst werden können. Die Einsatzbereiche für FPAAs sind vor allem Systeme die entweder sehr kurzes *time-to-market* oder (schnelle) *in-system* Rekonfigurierbarkeit verlangen. Bestimmte Applikationen erfordern geringe Stromaufnahme, hohe Bearbeitungsgeschwindigkeit oder hohe Datenrate und werden deshalb ausschließlich durch eine analoge Lösung realisiert. Spezielle Funktionsblöcke wie schnelle Schnittstellen oder *low-power* OPVs sind auch als Makroblöcke verfügbar; wegen ihrem aufwendigen Entwurf sind sie jedoch schwer zu modifizieren. Programmierbare analoge Arrays bringen genau für diese Zielapplikationen Vorteile durch die Parametrisierbarkeit, bekannt aus der digitalen Schaltungstechnik.

Bis jetzt haben sich die FPAAs vor allem in Bereichen wie Überwachung und Ablaufsteuerung der Betriebsspannung, Sensor-Signalaufbereitung, automatisches Testen integrierter Schaltungen, adaptive Filter u. a. etabliert. Die Anpassung von analogen Parameter ist besonders sehr häufig in der Sensorik gefragt.

Ausgangssignale der sensitiven Elemente müssen im Hinblick auf deren Amplitudenbereich, Offset, Linearität etc. an die Eingänge der AD Wandler angepasst werden. Zusätzlich können verschiedene physikalische Stör-Effekte kompensiert werden (z.B. Temperatur-abhängige Transferfunktion des sensitiven Elements). FPAAs bieten auch die Möglichkeit, eine Smart-Sensor spezifische Schnittstelle durch Rekonfigurierbarkeit universell zu gestalten. Smart-Sensoren kommunizieren fast ausschließlich über digital kodierte Signale mit der Außenwelt, was das Sensor-Handling wesentlich erleichtert und darüber hinaus die Betriebszuverlässigkeit erhöht.

2 Allgemeiner Überblick

Es sind inzwischen mehrere programmierbare analoge Chips auf dem Markt verfügbar, wie sie in [9] präsentiert wurden. Kommerziell sind folgende FPAAs verfügbar: Anadigm [1], Zetex [4], Cypress [2], Lattice [3].

Eine sehr interessante Herangehensweise für die Implementierung eines rekonfigurierbaren zeitkontinuierlichen analogen Kerns mit G_M Zellen wurde in [5] publiziert. Die ersten Berechnungen am Beispiel von einem in $0.25\mu\text{m}$ Technologie gefertigtem Chip zeigten Transientfrequenzen von bis zu 200 MHz. Die Strom-

aufnahme eines 4-Order Butterworth Filters wurde bei einer Betriebsspannung von 1.5 V auf 688 mA, und die Chipgröße auf ungefähr 4.5 mm² bestimmt.

Im Weiteren wird das an der TU Ilmenau entwickelte und implementierte Elektrisch Programmierbare Analoge Array – EPAA vorgestellt. Außer in den einleitend genannten Applikationsgebieten kann es auch als analoger IP-Core eingesetzt werden, was zu niedrigeren Gesamtentwicklungskosten von *mixed-signal* Systemen führt. Durch Emulation von analogen und digitalen Subsystemen in der Evaluierungsphase kann die Entwicklungszeit im Prototyping gegenüber dem konventionellen Design-Flow drastisch verkürzt werden.

3 Realisierung des EPAA

Mit steigenden Kosten der Produktion von integrierten Schaltungen, besonders im *full custom* Marktsegment (ASICs), steigt auch der Bedarf an schnellen Prototyping-Lösungen. Emulatoren realer Systeme haben sich als technisch und ökonomisch günstiger Weg für "schnelles Ausprobieren" erwiesen. In [7] wurde eine Plattform für Prototyping vorgestellt (RDK – *Rapid Development Kit*), die eine Kombination digitaler und analoger programmierbarer Lösungen verbindet. Als *mixed-signal* Emulator wurde dabei das hier vorgestellte EPAA [6] verwendet. Im Gegensatz zu der ersten maskenprogrammierbaren Version [8] wird hier eine vollkommen elektrisch rekonfigurier- und reprogrammierbare Variante präsentiert, ihr Aufbau erklärt und die Messergebnisse der ersten Präparation zusammengefasst.

3.1 Allgemeine Beschreibung

Das EPAA ist ein voll programmierbares analoges Array, was sowohl die Implementierung analoger und *mixed-signal* Schaltungen im zeitkontinuierlichen (CC – *continuous current*) als auch im zeitdiskretem (SC – *switched capacitor*) Modus ermöglicht. Es kann überall dort zum Einsatz kommen, wo eine (schnelle) Parameteränderung der analogen Schaltungen erforderlich ist. So ist vor Allem der Einsatz im Bereich der Sensorik vorgesehen, wo eine Anpassung der Signalaufbereitung an wechselnde Sensorparameter (z.B. bei Multisensorsystemen, aber auch zum Ausgleich der Exemplarstreuungen der Sensoren) oder an veränderliche

äußere Bedingungen (Temperatur, Feuchtigkeit) durchgeführt werden muss.

Das analoge Array besteht aus skalierbaren aktiven und passiven Bauelementen, die miteinander verbunden werden können. Durch seine feine Granularität kann der Nutzer die Funktion der zu implementierenden Schaltung bis zum Transistorniveau beeinflussen.

Die Konfigurierung erfolgt durch Setzen einzelner Verbindungsschalter in der sogenannten Konfigurationsmatrix. Die Konfigurationsdaten werden entweder im "Master" Modus durch das EPAA selbst aus einem EEPROM gelesen oder im "Slave" Modus mittels eines externen μC in das EPAA geschrieben. Danach ist der analoge Kern funktionsfähig. Dies ermöglicht die Realisierung verschiedener Funktionsblöcke wie Differenzverstärker, VCOs, Phasenshifter, analoge Filter, Spannungs-/Strom-Referenzen etc. Außerdem sind für *battery-powered* Applikationen *low-power* Modi verfügbar.

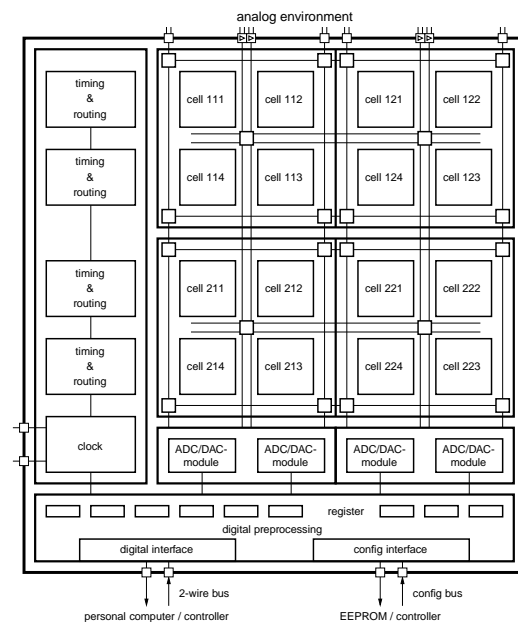


Bild 1: EPAA-Gesamtarchitektur

3.2 Gesamtaufbau

Der EPAA besteht aus drei Komponenten: dem analogen Kern, AD/DA Module und der digitalen Peripherie. Die AD/DA Wandler befinden sich an der Schnittstelle zwischen dem analogen und dem digitalen Teil. Im Detail (siehe Bild 1) ist das EPAA aus folgenden Funktionsblöcken zusammengesetzt:

- 8 Impedanzkonvertoren (IK) – können als IN, OUT oder INOUT konfiguriert werden,
- 4 AD/DA Module – ermöglichen die Realisierung verschiedener Wandlungsarten,
- *Timing&Routing* Block – erzeugt die Taktsignale für die SC-Schalter und die AD/DA Module,
- Digitaler Teil – Kommunikationsschnittstellen, Konfigurationsregister, Steuerung der AD/DA Module.

3.2.1 Analoger Kern

Der analoge Kern besteht aus vier Clustern, mit je vier Zellen (zwei P- und zwei N-Zellen je Cluster). Der Name der Zelle (N oder P) ist vom Typ des Differenz-Transistorpaares und den entsprechenden Last-Transistoren abgeleitet. Da es in der analogen CMOS Technik sehr oft zum Einsatz von gepaarten Transistoren kommt, werden die Zellen für die Implementierung von Transistorpaaren in verschiedenen Konfigurationen (Strom-Spiegel, aktives Last-paar, passives Last-paar, Differenz-Stufe etc.) optimiert (siehe Bild 2). Zusätzlich beinhalten die Zellen passive Elemente (R, C, getaktete Schalter für den SC Modus), die über relativ hohe Verbindbarkeit verfügen. Alle Bauelemente sind dimensionierbar (siehe Tabelle 1), was die Realisierung verschiedener Kanalweiten (bei einer festen Kanallänge), und verschiedener C- und R-Werte ermöglicht.

Transistorpaar	Kanallänge	Kanalweite
N-Zelle		
N-Differenz	3.6 μm	1.5 ... 766.5 μm
N-Stromquellen	3.2 μm	1.2 ... 152.4 μm
P-Lastpaar(aktiv)	4.9 μm	0.8 ... 24.8 μm
P-Lastpaar(passiv)	0.7 μm	2.1 ... 31.5 μm
P-Zelle		
P-Differenz	1.2 μm	2.0 ... 1022 μm
P-Stromquellen	3.6 μm	5.8 ... 365.4 μm
N-Lastpaar(aktiv)	19.3 μm	0.8 ... 24.8 μm
N-Lastpaar(passiv)	0.8 μm	0.8 ... 5.6 μm
Passive Elemente	Min	Max
Widerstände	0.43 k Ω	660 k Ω
Kondensatoren	0.014 pF	7.5 pF

Tabelle 1: Mögliche Dimensionierungsbereiche der EPAA Bauelemente

Im Bild 3 ist eine Beispielschaltung (Folded-Cascade-OTA mit Stromquellen Lasttransistoren und Common-Mode Gegenkopplung), die in drei Zellen realisiert werden kann.

3.2.2 Digitale Peripherien

Die Aufgaben des digitalen Subsystems des EPAA können wie folgt gegliedert werden:

1. Kommunikation mit externen Bauelementen (EEPROM, μC),
2. Programmierung der Konfigurationsketten des Analogen Kerns,
3. Steuerung der Register für *low-power* Modus,
4. Generierung der SC- und Komparator Takte der Wandler,
5. Steuerung der AD/DA Wandler in komplexeren Modi (SAR, *dual-slope*, Pipeline ...).

Da der analoge Kern im SC-Modus Taktsignale benötigt, werden diese in den *timing-and-routing* Modulen generiert. Dabei ist es möglich, Takte bis zu 8 MHz mit acht verschiedenen Tastverhältnissen zu generieren.

3.2.3 AD/DA Wandler

Für komplexere Anwendungen mit Signalverarbeitung, die auch Datentransfer zu externen Komponenten (μC , DSP) vorsehen, müssen die Daten digitalisiert werden. Direkt im EPAA sind 4 AD/DA Module integriert, die in folgenden Modi arbeiten können:

- 1-bit ADC (kombinierbar mit allen anderen),
- 3-bit Flash ADC (auch mit S&H),

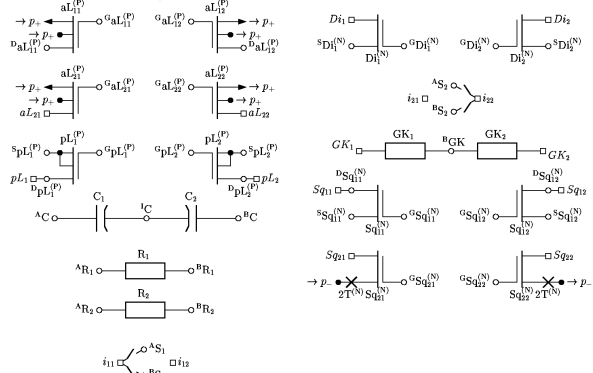


Bild 2: Bauelemente einer N-Zelle

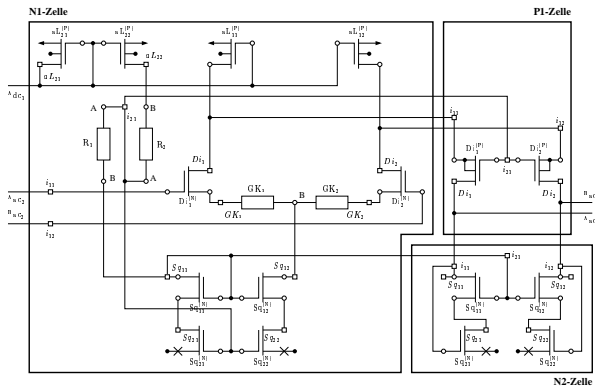


Bild 3: Schaltung des Folded-Cascode-OTA mit Stromquellen Lasttransistoren und Common-Mode Gegenkopplung

- 3-bit R2R DAC,
- 8-bit R2R DAC (symmetrisch/asymmetrisch).

Zusätzlich ist in jedem AD/DA Modul ein 16-bit Zähler integriert. Um die Mannigfaltigkeit der Betriebsarten der AD/DA Wandler zu erweitern, können zusätzlich die Elemente aus dem analogen Kern verwendet werden, sodass außer den Grund-Modi folgende AD/DA Wandler prinzipien realisierbar sind:

1. $\Delta\Sigma$ ADC (Integrator, 1-bit DAC, LPF),
2. Flash ADC – Jedes AD/DA Modul beinhaltet 8 Komparatoren, die 3-bit Werte liefern,
3. Pipeline ADC – Durch das Kaskadieren der 3-bit Wandler ist theoretisch die Auflösung bis zu 12-bit realisierbar,
4. SAR ADC,
5. AD Wandler nach einem Integrationsverfahren.

4 Entwurfsumgebung

Um eine effiziente Arbeit mit dem EPAA zu gewährleisten, wurde ein eigenes Java-basiertes Entwurfswerkzeug mit dem Arbeitsnamen *Corona* implementiert. Es bietet die Möglichkeiten Schaltungen auf Transistorebene sowie mit Hilfe einer Makrobibliothek zu entwerfen. Dementsprechend werden hauptsächlich drei Sichtweisen unterschieden (siehe Bild 4):

- Expert-View : zeigt die physikalischen Verbindungen der einzelnen Signalfade in der EPAA-Konfigurationsmatrix, ist zunächst erfahrenen EPAA-Entwickler vorbehalten,

- Designer-View : ermöglicht dem IC-Entwerfer Arbeit auf Transistorebene,
- Application-View : bringt die Vorteile der Makrobibliothek charakterisierter EPAA Blöcke.

Die Arbeit mit dem EPAA-Entwurfswerkzeug ähnelt dem Entwurf mit kommerziell verfügbaren Werkzeugen: zunächst wird ein Stromlaufplan erzeugt, der die Verschaltung der EPAA-Elemente und deren Dimensionierung beschreibt. Danach müssen die Bauelemente und Signalfade bestimmten Regionen (*floorplanning*) und bestimmten physikalischen Elementen (*placement*) zugeordnet und verdrahtet (*routing*) werden. Dazu bietet *Corona* Unterstützung in der Form automatischer Platzierung und Verdrahtung an. Alternativ steht ein *Physical Editor* zur Verfügung, der den Aufbau der Konfiguration des EPAA aus einer strukturellen Sicht ermöglicht.

In der ersten Version wird über die integrierte *SKILL* Schnittstelle die EPAA Konfiguration exportiert und kann im Analog Artist (des Cadence DesignFramework II) simuliert werden. In der nächsten Version ist für die Simulation der zu implementierenden Schaltungen eine direkte Einbindung eines SPICE Derivats in *Corona* geplant. Die Elektrische Konfiguration des EPAA Chips erfolgt direkt aus dem Designtool über die RS-232 Schnittstelle.

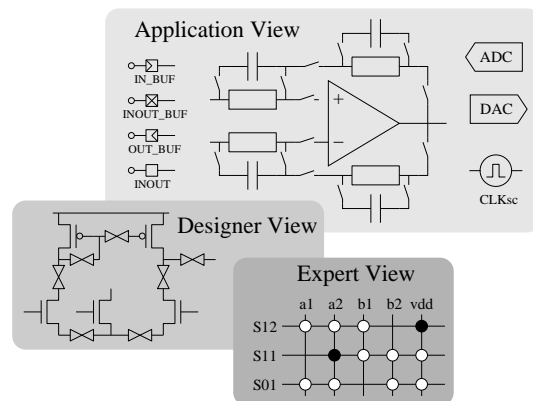


Bild 4: Verschiedene hierarchische Entwurfs-Ansichten

5 Test-Präparation

Die Initialversion des EPAA Chips in der Größe von 2×2 Clustern wurde in einer CMOS $0.5 \mu\text{m}$ Technologie implementiert. Andere Array-Größen sind durch

ein Repetieren des Layouts der analogen Komponenten sowie durch parametrisiertes Design der digitalen Teile realisierbar. Die Eigenschaften des EPAA können nach folgenden Kriterien zusammengefasst werden:

Struktur

- 2×2 Cluster mit je 4 Zellen ($2 \times P, 2 \times N$)
- 22 skalierbare Elemente in jeder Zelle
- 20 analoge Pins (8 mit Impedanzkonverter)
- 4 AD/DA-Wandlermodule
- skalierbare reguläre parametrische Architektur

Arbeitsmodi

- Differential-signaling möglich
- CC und/oder SC (siehe Text)
- ADC/DAC Modi SAR, Flash, $\Sigma\Delta$, R2R u. a.
- autonome SC-Taktgenerierung, 8 Tastverhältnisse programmierbar
- *low-speed* Konfiguration-, *high-speed* Datenbus
- direktes Anschließen von Sensoren

Design-Software

- dedizierter Schematic Editor
- autom. Platzierung und Verdrahtung möglich
- manueller Entwurf mit *Physical Editor*
- Makrobibliothek mit charakterisierten Funktionsblöcken
- direkter *download* in das EPAA

Die erste von insgesamt zwei geplanten Testpräparationen hat eine gute Übereinstimmung mit den simulierten Werten erwiesen (siehe Tabelle 2). Die unterschiedlichen Werte der Simulation und der Messungen resultieren von der unzureichenden Modellierung der Pad-Zellen (unterkompensierte Ausgangstufe hat zur Folge eine leichte Überhöhung in der Frequenzcharakteristik und eine dementsprechende Vergrößerung der bandbreite) und vom ungenügenden *matching* der Differenz-Transistorpaaren in den Impedanzkonvertern (Offset Fehler).

Parameter	Simulation	Messungen
V_{DD}	$3.3 \text{ V} \pm 10\%$	$3.3 \text{ V} \pm 10\%$
I_{DD}	10 mA	15 mA
I_{DD} (low power)	$\leq 1 \mu\text{A}$	$\leq 10 \mu\text{A}$
Impedanzkonverter : IN Mode		
Bandbreite	4.1 MHz	5.1 MHz
Offset	7.5 mV	5.1 mV
A_u	0.98	0.96
Impedanzkonverter : OUT Mode		
Bandbreite	12.4 MHz	22 MHz
Offset	3.5 mV	69.1 mV
A_u	0.997	0.98
Impedanzkonverter : INOUT Mode		
Bandbreite	4.0 MHz	6.6 MHz
Offset	8.2 mV	67.8 mV
A_u	0.994	0.99
Differenzverstärker im Analogen Kern ($C_L = 2 \text{ pF}$)		
Bandbreite	7.6 MHz	7.1 MHz
Offset	0.1 mV	1.5 mV
A_u	40 dB	31 dB
VCO im Analogen Kern		
f_{MIN}	322 kHz	312 kHz
f_{MAX}	4.5 MHz	3.8 MHz
$V_{OUT}(f_{MIN})$	331 mV	340 mV
$V_{OUT}(f_{MAX})$	321 mV	322 mV

Tabelle 2: Vergleich der Simulations- und Messergebnisse der EPAA Testpräparation. $V_{DC} = 1.65 \text{ V}$; $R_L = 16.5 \text{ k}\Omega$; $C_L = 32 \text{ pF}$

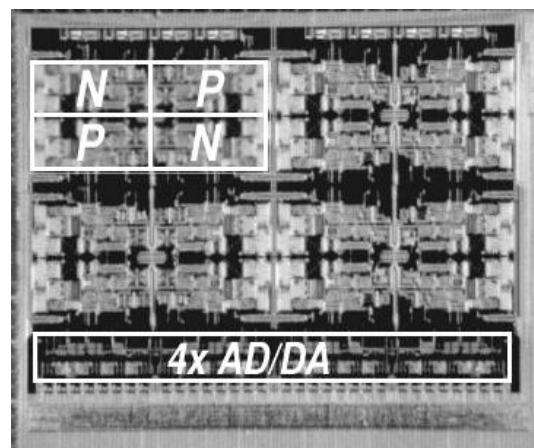


Bild 5: EPAA-Layout in der AMIS CMOS $0.5 \mu\text{m}$ Technologie, Chipgröße: $6.3 \times 5.5 \text{ mm}$, analoger Kern: 2×2 Cluster (mit je 2 N-Cells und 2 P-Cells), 4 AD/DA Module, Gehäuse: PGA120

5.1 Ausblick

Für die nächste Präparation ist ein kleineres Gehäuse geplant, so dass der Gewinn an Packungsdichte tatsächlich ausgenutzt und der EPAA direkt neben einem Sensor platziert werden kann. Ausserdem werden beide Schnittstellen (*low-* und *high-speed*) direkt auf dem Chip implementiert, um die Anzahl der Pins zu reduzieren. Diese Ausführung wird für Multi-Chip Smart-Sensor-Realisierungen (Sensor und Auswertelogik auf einem Substrat) bevorzugt, da diese keine zusätzlichen Verbindungen zur Außenwelt benötigt.

Zur Verbesserung der elektrischen Eigenschaften müssen einige Optimierungen bezüglich dem Übersprechen zwischen den digitalen Taktsignalen und empfindlichen Teilen der AD/DA Wandler vorgenommen werden. Darüber hinaus hat sich die Abschaltung einzelner Zellen als sinnvoll erwiesen. Dadurch wird es möglich, den Stromverbrauch durch Deaktivierung nicht verwendeter Zellen noch weiter zu senken.

Das EPAA kann in *mixed-signal* Chips als IP-Core verwendet werden, um durch die einfache Rekonfigurierbarkeit eine schnelle Anpassung der Betriebsparameter zu ermöglichen. Durch die Integration eines RF-Cores wird es ausserdem möglich, den EPAA in ein kabelloses Sensor- (ZigBee), oder in ein kabelloses Standard- (WLAN, Bluetooth) Netzwerk einzubinden.

6 Zusammenfassung

Mit diesem Projekt ist es unser Ziel, dem wachsenden Bedarf an kostengünstigen, rekonfigurierbaren *mixed-signal* Lösungen mit der Entwicklung eines neuen Chips entgegen zu treten. Dieser kann vor allem zur Sensor-Signalaufbereitung, zur Emulation von komplexen *mixed-signal* Systemen und allgemein in rekonfigurierbaren analogen Systemen benutzt werden.

Es ist uns gelungen ein funktionsfähiges analoges Array zu realisieren; allerdings sind im Hinblick auf die erreichten Kennwerte noch einige Verbesserungen nötig und möglich.

Im Vergleich zu kommerziellen FPAA's zeichnet sich unsere Lösung durch eine kleinere Stromaufnahme, größere Bandbreiten und durch eine größere Flexibilität bei zusätzlicher Unterstützung der *mixed-signal* Modi aus. Außerdem lässt sich der EPAA als einziger auch auf der Transistor-Ebene konfigurieren, was eine flexible Anpassung der Kenngrößen an die

Erfordernisse der Applikation ermöglicht.

Dieses Projekt wurde vom Thüringer Ministerium für Wirtschaft, Forschung und Kunst (TMWFK) gefördert.

Literatur

- [1] <http://www.anadigm.com>.
- [2] <http://www.cypress.com>.
- [3] <http://www.latticesemi.com>.
- [4] <http://www.zetex.com>.
- [5] J. Becker and Y. Manoli. A Continuous-Time Field Programmable Analog Array (FPAA) Consisting of Digitally Reconfigurable G_M -Cells. In *Proceedings of the 2004 International Symposium on Circuits and Systems - ISCAS '04*, volume 1, pages 1092–1095. IEEE, Vancouver, Canada, May 23–26 2004.
- [6] J. Kampe and S. Arlt. Dimensionierbares Analoges Bauelementarray. *Deutsches Patent- und Markenamt*, Patent DE 197 32 842 A 1, March 1997.
- [7] J. Kampe, G. Scarbata, S. Arlt, M. Ponca, A. Rummler, U. Heiber and Ch. Wisser. RDK–Rapid Development Kit for Mixed-Signal Systems. In *27th International Spring Seminar on Electronics Technology – ISSE2004*. IEEE, Sofia, Bulgaria, May 13–16 2004.
- [8] J. Kampe, Ch. Wisser and G. Scarbata. Module generators for a regular analog layout. In *Proceedings of IEEE Int. Conference on Computer Design - ICCD'96*. October 1996.
- [9] E. Mackensen, D. Arnold and W. Kuntz. FPAA's und PSoCs für die analoge Signalaufbereitung von Sensor-/Aktordaten in intelligenten, autarken Mikrosystemen (IAM). In *Analog2003*, pages 185–190. VDE, Heilbronn, Germany, September 10–12 2003.